第1章

アプリケーションに適した高速メモリを選ぶための手引き

―― 256M/512Mビット品では性能過剰なデバイスのほうが安価なケースもある!?

朝倉善智

パソコンやサーバなどの市場ではDDR2 SDRAMが広く使用されるようになった．入手のしやすさやビット単価（1ビット当たりに換算した価格）の下落を受けて，民生機器などでも高速なDDR2 SDRAMが使われようとしている．ここでは，性能や消費電力だけでなく，供給面や価格面も踏まえて，開発するアプリケーションに適したDRAMを選択する方法と，使用上の注意事項を解説する．（編集部）

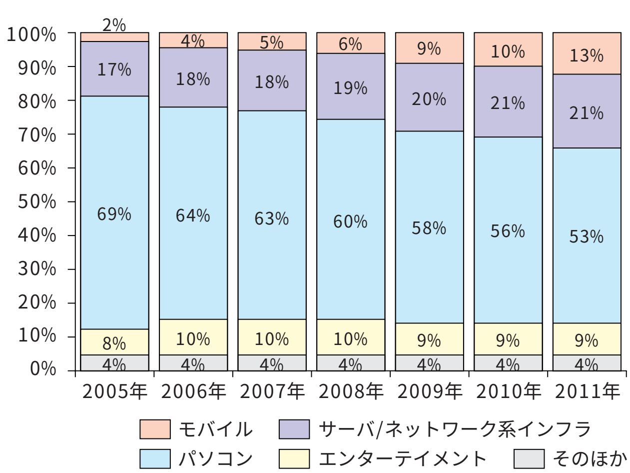


図1　アプリケーション別のDRAM市場動向（Qimonda社調査）
今後もDRAM市場は，パソコン市場の動向に左右されることはまちがいないと思われる

DRAMの入手のしやすさやコストの問題を理解するにはDRAM市場の現状を知らなければなりません．本稿ではまず最初に，パソコン市場やサーバ/ネットワーク系インフラ市場，携帯電話などのモバイル市場，家電機器やゲーム機などのエンターテイメント市場のDRAM技術の動向や普及状況などを分析した結果を紹介します．参考までに筆者が属するドイツQimonda社[注1]は現在，世界第2位のDRAMメーカです．

1．DRAM市場の動き

図1にアプリケーションごとのDRAM技術の動向を示します[注2]．

パソコンは現在もDRAMの主要なアプリケーションで，この市場はDRAM市場の約7割を占めています．市場の成熟とともに徐々にその比率を下げていくと見られていますが，2010年でも5割超の比率を占めています．今後もDRAMは，パソコン市場の動向に左右されることはまちがいないと思われます．

一方，サーバ/ネットワーク系インフラ市場は，インターネットの普及・拡大により成長が見込まれる分野です．装置台数的にはパソコンにかないませんが，サーバ1台当たりで使用するDRAM容量はパソコンと比べて格段に大きく，またその容量の伸び率も高いので，2010年の時点で

注1：ドイツQimonda社は，ドイツInfineon Technologies社のメモリ部門分社化に伴い，2006年1月に設立されたメモリLSIメーカ．
注2：本稿で取り上げるDRAMの市場動向や技術動向（図1～図4）は，Qimonda社が独自に調査したものである．

KeyWord　DRAM，DDR2 SDRAM，Mobile RAM，GDDR2，ビット・クロス，チップ・シュリンク，Cellular RAM，疑似SRAM，バースト長，DLL，ODT，OCD

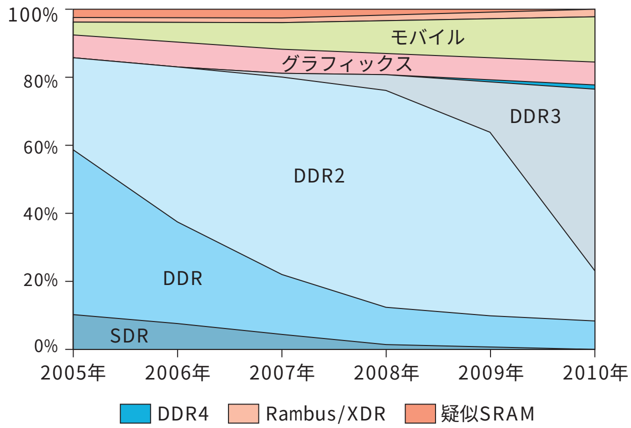


図2 DRAMインターフェースの動向(Qimonda社調査)

DRAMインターフェースは，非同期転送だったFPM DRAMやEDO DRAMから，クロック同期式のSDR SDRAMに，さらに転送速度を上げるためDDR SDRAM，DDR2 SDRAMへと進化してきている

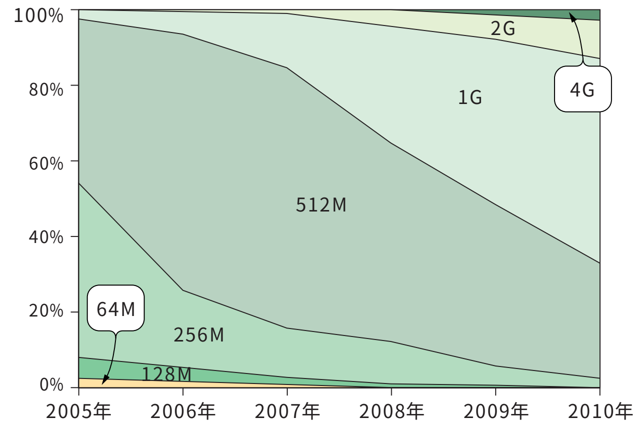


図3 DRAM世代(容量)動向(Qimonda社調査)

前世代のDRAMのビット単価を新世代のDRAMのビット単価が追い抜く時点を「ビット・クロス」と呼ぶ

2割を占める見込みです．従来，パソコンとサーバは大容量化と高速化を推進し，基本的に同じDRAMを使っていました．しかし最近は，サーバは大容量化に，パソコンは高速化により重点を置きつつあります．そのため，今後は動向がかい離していく可能性もあります．

モバイル市場は携帯電話の普及と高機能化により，大きな成長が見込まれています．低消費電力が要求されるこの市場は，SDR SDRAMに低消費電力機能を追加した「Mobile RAM」と呼ばれるメモリが主力品種となっています．

エンターテイメント市場は，家電製品のディジタル化やゲーム機の高性能化などによる伸びが見込まれます．米国Microsoft社の「Xbox360」やソニー・コンピュータエンタテインメントの「プレイステーション3(PS3)」などの次世代ゲーム機は，ホーム・サーバ用途を視野に入れています．また，ディジタル・テレビやDVDレコーダはひと昔前のパソコンと同等のDRAMを搭載しており，2011年ごろのアナログ放送全廃に向けて，今後の普及が見込まれています．

まずDRAMの製品動向の全体像をとらえてみましょう．

● メモリ・インターフェースはさらに高速化する

図2にDRAMインターフェースの動向を示します．

アプリケーションの高速化や高機能化により，DRAMに対するデータ転送能力の要求も高くなり，DRAMのインターフェースも高速化してきています．非同期転送だったFPM(fast page mode) DRAMやEDO(extended data out) DRAMから，クロック同期式のSDR(single data rate) SDRAMに変わり，さらに転送速度を上げるため，DDR(double data rate) SDRAM，DDR2 SDRAMへと進化してきています．

DDR2 SDRAMは，2005年から2006年にかけて主流の座につきました．次のDDR3 SDRAMは，2009年から2010年にかけてDDR2 SDRAMを置き換えるものと予想されているので，しばらくはDDR2 SDRAMが主流となりそうです．ただし，DDR SDRAMも民生機器向けを中心に10%強残ると予想しています．

また，**図2**では細分化していませんが，

- 高速動作で，32ビットI/Oを特徴としたゲーム機などに向けたグラフィックス用メモリ
- 待機時の低消費電力を特徴とした携帯電話向けのモバイル用メモリ

などは，上記の標準品の流れとは別に，アプリケーションに特化したインターフェースとして標準品の技術を取り入れながら，独自に進化してきています．例えば，先述のMobile RAMは今後，DDR SDRAMの技術を取り入れたDDR Mobile RAMへと進化しようとしています．グラフィックスもDDR SDRAMから，改良版のGDDR2，現在のグラフィックスの主流であるDDR2の技術を取り入れたGDDR3，そして将来的にはGDDR4，GDDR5へと進んでいく予定です．

● 「ビット・クロス」で世代交代

図3にDRAMの世代(容量)動向を示します．

半導体技術の進歩をコスト削減に結びつけ，価格下落に対応するため，DRAMは毎年チップ・シュリンク(微細化

された技術で再設計を行い，チップ面積を小さくすること）を行っています．2回のチップ・シュリンクでチップ面積は約半分になるため，前世代の量産時期と同じくらいのコストで新しい世代の製品を生産できることになります．

DRAMのビット単価は，チップ・シュリンクや量産による習熟度，および歩留まりの向上につれて低下していきます．そして，前世代のDRAMのビット当たりの単価を新世代のDRAMのビット単価が追い抜く時点を「ビット・クロス」と呼んでいます． 例えば，256Mビット品を16個搭載した512Mバイトのメモリ・モジュールよりも，512Mビット品を8個搭載した512Mバイトのメモリ・モジュールのほうが，ビット・クロス後は安くなります．つまり，ビット・クロスを境に世代交代が一気に進みます．

現在のDRAMの主力は512Mビット品です．前世代の256Mビット品もまだかなり生産されていますが，それ以下の128Mビット品や64Mビット品はかなり少なくなってきています．1Gビット品が主流になるのは2008年～2009年ごろと思われ，まだまだ先です．

● 供給と価格の面から民生機器向けでDDRの採用が進む

今度はパソコン以外の主要なアプリケーションにおけるDRAMの動向を見てみましょう．

図4(a)に携帯電話向けDRAMのインターフェースの動向を示します．携帯電話用のメモリとしては，もともとSRAMとNOR型フラッシュ・メモリが使われていましたが，携帯電話の高機能化で徐々に必要な容量が増えていき，「Cellular RAM」と呼ばれる疑似(pseudo)SRAMによってSRAMを置き換えるようになりました．その後，いろいろなアプリケーション・ソフトウェアを携帯電話で走らせるようになり，情報量も増えてきたことから，Mobile RAMやNAND型フラッシュ・メモリを使うケースが増えています．今後はさらなる高機能化に対応するためのより高い処理能力が求められるので，DDR Mobile RAMが使われるようになっていくと思われます．

ただし，高機能化は一気に進むわけではありません．図4(b)に示すように，パソコンと比べると容量の増加は緩やかで，複数の世代がある程度共存していくでしょう．

では，日本が世界をリードしているディジタル・テレビやディジタル・カメラなどのディジタル家電機器におけるDRAM動向はどのようになっているのでしょうか．ディジタル家電機器向けDRAMのインターフェースとメモリ容量の動向を図4(c)と図4(d)に，それぞれ示します．ひと口にディジタル家電と言ってもいろいろなアプリケーションがあります．今でも64Mビットや128MビットのSDR SDRAMを使っているケースも多々あると思います．

ただし，256Mビット品についてはパソコンで主流であったため，数量や価格の面でメリットのあるDDR SDRAMを使用する例が多くなっています．同じように512Mビッ

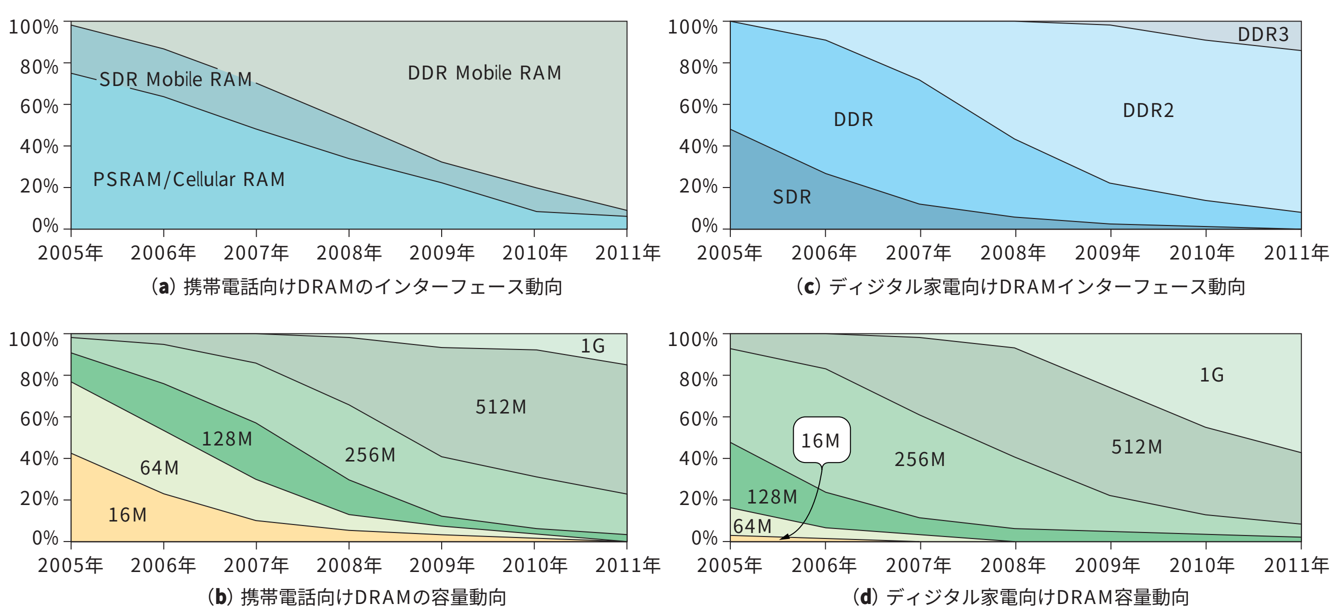


図4　アプリケーションごとのDRAM製品(Qimonda社調査)
携帯電話市場，ディジタル家電機器市場，それぞれにおけるDRAMインターフェースとメモリ容量の動向をまとめた

ト品については，現在のパソコンの主流であるDDR2 SDRAMを使用する傾向にあります．民生機器向けということで，ある程度の数量が見込め，かつ市場での価格競争が厳しいため，供給面や価格面から主流となっているDRAMを採用しているものと思われます．

2. DRAMの選びかた

以上のDRAMの市場動向を踏まえて，実際のアプリケーションではどのように各種のDRAMを選択していけばよいのか，DRAMの選択におけるポイントを以下に示します．

● 1ピン当たりの要求バンド幅による選択

まず，DRAMの処理能力がアプリケーションの要求を満たしていることが大前提になります．CPUやメモリ・コントローラの種類や性能，キャッシュ・メモリの有無，ソフトウェアの規模，入出力などから，DRAMへの要求バンド幅[注3]を計算します．

CPUやメモリ・コントローラのデータ・バス幅が決まっていれば，要求バンド幅からビット当たり（ピン当たり）のバンド幅を計算します．例えば，要求バンド幅が500Mバイト/sで，32ビットのデータ・バスであれば，1データ・ピン当たり125Mbpsになります．

表1に，各種DRAMメモリの対応可能バンド幅を示します．SDR SDRAMであれば，メーカによって多少の違いはありますが，最大166Mbps程度に対応しています．そのため，上記の例（1データ・ピン当たり125Mbps）であれば，SDR SDRAMで対応できます．逆に，600Mbpsのバンド幅が必要となれば，DDR2 SDRAMが有力な採用候補となります．

● データ・バス幅――消費電力や実装面積を考えて選ぶ

CPUやメモリ・コントローラでデータ・バス幅が決まっている場合，それに従うしかありません．しかし，メモリ・システムのデータ・バス幅を独自に設計できる場合は，データ・バス幅と1ピン当たりのバンド幅はトレードオフの関係にあるので，検討する余地があります．

先ほどの例で言えば，500Mバイト/sの要求バンド幅で，かりに半分の16ビットのデータ・バスしか取れなければ，1ピン当たりでは倍の250Mbpsの性能が必要となり，SDR SDRAMでは対応できなくなります．その場合は，DDR SDRAMが有力な候補となります．

データ・バス幅を広げれば要求バンド幅は下がり，低速で動作させることができます．設計は容易になり，かつ動作も安定します．また，狭いデータ・バス幅では最先端の高速DRAMを使う必要があったものが，データ・バスを広げることで，汎用品で価格のこなれたDRAMを使えるようになる可能性もあります．

ただし，別に考慮すべき点もあります．例えば32ビット・バスを64ビット・バスにした場合，まずデータ・バスの配線が増えてしまいます．また，×16のDRAMで構成する場合は2個でよかったものが，4個のDRAMを搭載しなければならなくなります．

一般に，データ・バス幅を広げると，入出力の本数やDRAMの個数が増えたことによる消費電力の上昇，および基板のサイズが大きくなることによるコストの上昇が見込まれるので，全体としてどちらが得か，よく考える必要があります．

● クロック周波数――DDR2などでは最低クロックも考慮

必要なバンド幅とデータ・バス幅が決まれば，必要なクロック周波数は決まります．

クロック周波数が高くなると，タイミングや信号波形の品質（シグナル・インテグリティ）への要求が厳しくなりま

注3：単位時間当たりのアクセス（書き込み＋読み出し）速度のこと．

表1 DRAMの種類と性能の一覧

DRAMの種類	最大バンド幅	データ・バス幅	クロック周波数	電源電圧	I/O電圧
SDR SDRAM	166Mbps	×4，×8，×16	0～166MHz	3.3V	3.3V
DDR SDRAM	400Mbps	×4，×8，×16	83MHz～200MHz	2.5V	2.5V
DDR2 SDRAM	800Mbps	×4，×8，×16	125MHz～400MHz	1.8V	1.8V
DDR3 SDRAM	1.6Gbps	×4，×8，×16	200MHz～800MHz	1.5V	1.5V
Mobile RAM	133Mbps	×16，×32	0～133MHz	1.8V	1.8V，1.2V
DDR Mobile RAM	333Mbps	×16，×32	0～166MHz	1.8V	1.8V，1.2V
GDDR3	1.6Gbps	×32	200MHz～800MHz	1.8V，2.0V	1.8V，2.0V
XDR DRAM	3.2Gbps	×16	260MHz～400MHz	1.8V	1.2V

す．基板配線設計においても等長配線の実施やクロストーク・ノイズへの考慮，終端などの信号反射への対応，電源の周波数応答やデカップリング・コンデンサの配置について高度な技術が求められます．

それから，DDR SDRAMやDDR2 SDRAMなど，高速動作のタイミング精度を上げるために内部にDLL（delay locked loop）を搭載している製品では，最低動作周波数が規定されています．最大動作周波数の高いDRAMほど最低動作周波数も高いので，これらの製品を低速に動作させる場合は注意が必要です．

● 容量――製品寿命とDRAMの動向を見比べながら決める

上記のデータ・バス幅が決まり，アプリケーションに必要なDRAMのメモリ領域の大きさがわかれば，DRAMの容量が決まります．

ただし，DRAMの市場動向により，必要な容量のDRAMがいつでも入手できるとは限りません．また，現在は入手可能でも，将来は入手困難になっていくかもしれません．開発するアプリケーションのライフ・サイクルと，DRAMの市場動向をよく見比べる必要があります．DRAMは大容量化していくので（また，ソフトウェアも肥大化していく傾向があるので），ライフ・サイクルの長いアプリケーションでは，次世代のDRAMを搭載できるように，アドレス本数を余分に持つなどの対応が必要な場合もあります．

また，大規模なアプリケーションで，非常に大きな容量のメモリ領域が必要なとき，複数のDRAMを一つのメモリ・バスに接続する必要があります．この場合，配線が延び，分岐を伴うため，高速に動作させる際にはタイミングや信号波形の品質についての十分な検証が必要です．

● 消費電力――アプリケーション全体のバランスを見て

消費電力は，アプリケーションを差異化する際の重要項目です．そのため，メモリに対しても当然，低消費電力化が要求されることがあります．ここで重要なのは，アプリケーション全体のバランスと各動作モードにおける消費電力です．以下に示すように，開発するアプリケーションによって重視するべき項目は異なります．この点を見極めながら，どの種類のDRAMをどのモードで使用するのかを選択し，設計する必要があります．

- 性能が重要なのか
- 電池動作可能時間が重要なのか
- 同じ電池動作でも実際に動作しているときの時間が重要なのか，それとも待機時の待ち受け可能時間が重要なのか
- DRAMにデータを保持するのかしないのか
- DRAMの消費電力がアプリケーション全体の消費電力に占める割合は多いのか少ないのか

携帯電話のようにほとんどの時間が待機（待ち受け）状態であり，かつデータを保持する必要があるアプリケーションでは，多彩なスタンバイ・モードを備え，待機時の低消費電力が最適化されたMobile RAMを選択することになります．また，多くのディジタル・カメラのように，DRAMにデータを保持する必要がなければ，通常のSDR SDRAMという選択肢もあります．

DRAMは，種類によって電源電圧が異なっています．もっとも古くからあるSDR SDRAMは，メーカによっては2.5Vに対応しているところもありますが，3.3Vが標準です．DDR SDRAMでは2.5Vが，DDR2 SDRAMでは1.8Vが標準です．1.8VでSDR SDRAMのインターフェースを使いたければ，Mobile RAMを採用する必要があります．使用するCPUやメモリ・コントローラの電源電圧との差が大きいと，I/Oにおける変換で性能面や消費電力面などのむだが出ます．そこで，単純にSDR SDRAMの次はDDR SDRAMではなく，電圧面の配慮から一足飛びにDDR2 SDRAMを採用するという選択肢もありえます．

● 価格――ビット単価と必要な性能のバランス

メモリの選択の際にもっとも重要な項目が，価格になると思います．

ビット単価がいちばん安いDRAMは，そのときにパソコンやサーバ向けで主流となっていて，大量に使われている製品になります．現時点では，512MビットのDDR2 SDRAMで，データ転送速度が533Mbpsまたは667Mbpsのものがそれに当たります．ディジタル・テレビなどの場合，この容量やデータ転送速度のメモリ・インターフェースがちょうどマッチしています．

ただし，アプリケーションによっては，「そんなに大きな容量はいらない」とか，「データ転送速度もそれほど速い必要はない」となると，多少ビット単価は高くてもほかのDRAMを使ったほうが製品全体のコストは安くなるかもしれません．512MビットDDR2 SDRAMの前に主流だった256MビットのDDR SDRAMを使うという手もあります．

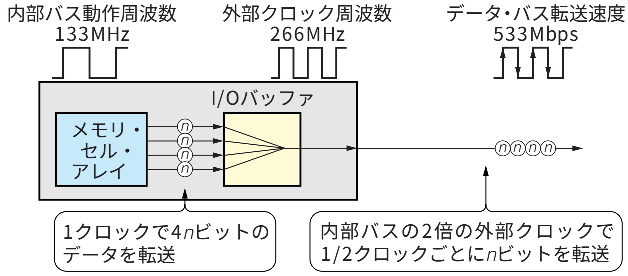
3. DRAMの使いかた

最後に，各種DRAMを使う際の設計上の注意点や基板設計における注意点をまとめておきます．

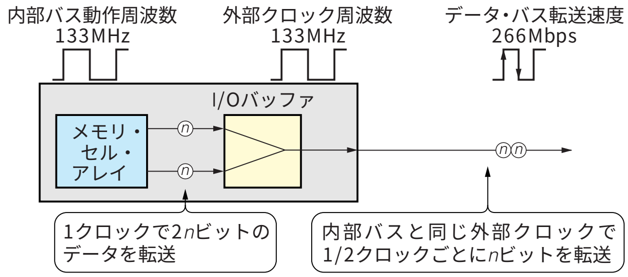
● 最短バースト長に注意

図5に示すように，DDR SDRAM，DDR2 SDRAM，DDR Mobile RAMでは，内部のメモリ・アレイから複数のデータを同時に読み出し（プリフェッチ），それをシリアルにバースト出力することで，内部動作の2倍，4倍のデータ出力バンド幅を得ています．このため，DDR SDRAMのように2ビット・プリフェッチを行っている場合（図5(b)），1ビットだけ出力する（バースト長＝1）ことはできません．同じように，DDR2 SDRAMではバースト長＝4が最短のバースト長になっています（図5(a)）．とくにDDR2 SDRAMは高速動作のため，動作を途中で別の動作によって中断させる割り込み（インタラプト）も禁止されており，コントローラの設計には注意が必要です．

なお，DDR3 SDRAMでは8ビット・プリフェッチ・アーキテクチャを採用しています．バースト長＝8が最短では使いにくいので，バースト長＝4というモードが設けられました．ただし，後ろの4ビットを出力しないだけなので，同じDRAMから別の4ビットのデータを続けて読み出すことはできません．最短のバースト長で読み出すデータ量よりも，1回に必要なデータ量が少ない場合，むだなデータを読み出すことになり，実効的なデータ・バンド幅が低下します．



(a) DDR2 SDRAM



(b) DDR SDRAM，DDR Mobile RAM

図5 プリフェッチ・アーキテクチャ

DDR SDRAM，DDR2 SDRAM，Mobile DDRでは，内部のメモリ・アレイから複数のデータを同時に読み出し（プリフェッチ），それをシリアルにバースト出力することで，内部動作の2倍，4倍のデータ出力バンド幅を得ている．(a)のDDR2 SDRAMではI/O当たり4ビット，(b)のDDR SDRAM，Mobile DDRではI/O当たり2ビットのバースト出力となる

● DDRではクロック・ドメインに注意

SDR SDRAMやMobile RAMではクロックの立ち上がりでデータ出力を開始し，次のクロックの立ち上がりでデータをラッチするという手順になっています． DDR SDRAM，DDR2 SDRAM，DDR Mobile RAMでは，スキューを最小限に抑え，配線遅延時間をキャンセルするため，データ信号のラッチ用に新たにストローブ信号（DQS）を設けました．

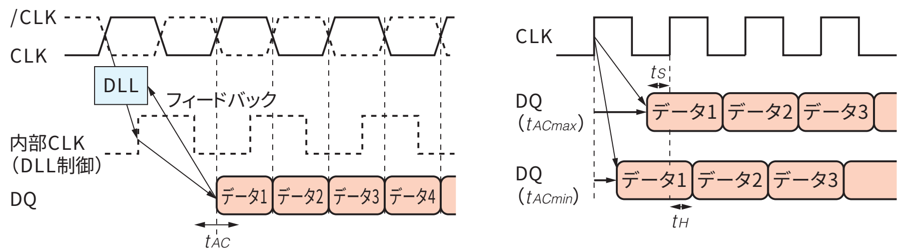
ただし，DQSを設けたことにより，クロックとDQSの関係が非同期になっています．そのため，とくに高速なクロックを使用している場合は，コントローラでデータを内部に取り込む際にクロック・ドメイン（どのクロックとどのデータが対応するか）に注意を払う必要があります．

● DLLの有無によるデータ出力タイミングの違いに注意

SDR SDRAMやMobile RAMでは，クロックから出力が確定するまでのアクセス時間（t_{AC}）は，温度，電圧などの動作条件，および製品により変化するので，データ確定期間（valid data window）のクロックに対するタイミングが固定されていません．とくに組み込み系の機器ではDRAMの搭載個数が少ないので，負荷が軽く配線遅延も少ないため，t_{AC}の最大値（max）側だけでなく最小値（min）側でもデータがきちんと取り込めるかどうかを検証する必要があります．

一方，DDR SDRAMやDDR2 SDRAMでは，DLLを導入し，出力とクロックのエッジを同期させることにより，データ確定期間をクロックに対して固定しています（図6）．これによりタイミング・マージンは広がりましたが，出力タイミングの違いに注意して設計する必要があります．

また，DDR Mobile RAMは（待機時の消費電流を考慮して）DLLを搭載していません．そのため，SDR SDRAMとDDR SDRAMの中間的な仕様になっており，データ出力のタイミングにはいっそうの注意が必要です．



(a) DDR SDRAM，DDR2 SDRAM　　(b) SDR SDRAM

図6　DLLの有無による出力タイミングの違い

(a)のDDR SDRAMやDDR2 SDRAMでは，DLLによって内部回路の遅延分を補正した内部クロックを用いて出力データのトリガを行っている．そのため，外部クロックと出力データの位相がそろっており，外部クロックに対する出力データのタイミングが固定されている．(b)のSDR SDRAMでは，外部クロックで出力データをトリガしており，温度や電圧，製造プロセスに依存した内部回路の遅延量の差が直接外部に現われる．したがって，外部クロックに対する出力データのタイミングが固定されておらず，セットアップ/ホールド時間のマージンが減少する

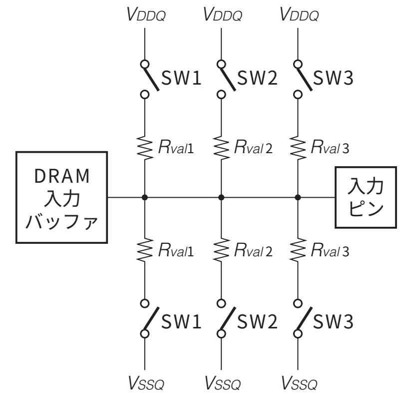


図7　ODTのブロック図

モード・レジスタでODTのイネーブル/ディセーブルを選択できる．終端抵抗値は，アプリケーションに合わせて，50 Ω，75 Ω，150 Ωを設定可能．ODTをイネーブルすると，ODTピンの信号と設定値により，SW1～SW3のスイッチがON/OFFされる．終端電圧の1/2 V_{DDQ}を抵抗分割で作っているため，ODTをONすると貫通電流が生じる

なお，DRAMには消費電力制御のため，パワー・ダウン・モード，セルフ・リフレッシュ，クロック停止/周波数変更といった機能があります．とくにDLLを搭載しているDDR SDRAMやDDR2 SDRAMでは，各種の制限があったりDLLが復帰するまでの時間がかかったりするので，性能とのバランスを考慮する必要があります．

● DDR2の新機能ODTとOCDを適切に活用する

DDR2 SDRAMでは，新たにODT (On Die Termination) とOCD (Off Chip Driver calibration) の機能が追加されました（図7，図8）．この二つの機能について「データシートだけではどう使ってよいのかわからない」と相談されることも少なくないので，以下にガイドラインを示しておきます．

● ODTを使うケース，使わないケース

DDR2 SDRAMを採用したシステムのDQ（データ・バス）信号では，ODTを使うことにより，基板上の終端抵抗をなくすことができます．この場合，コントローラ側にもODTがあることが前提となります．

DDR2 SDRAMのモード・レジスタでODTを有効にすると，ODT設定ピンを"H"にするか"L"にするかで，終端抵抗をON/OFFできます．通常は書き込み時のみONにします（読み出し時はメモリ・コントローラ側をONにする）．設定ピンの"H"/"L"の切り替えから，内部の終端抵抗のON/OFFまでに遅延があります．そのため，バースト出力中に終端抵抗のON/OFFが変化しないように，切り替えのタイミングには注意が必要です．

また，ODTはDRAMに内蔵されているだけで抵抗によって終端していることには変わりなく，そのため電力を消費します．消費電力に敏感なアプリケーションの場合，配線長や動作周波数を調整して，終端そのものを使わないですます方法を考える必要があるかもしれません．

● OCDを使うケース，使わないケース

DDR2 SDRAMではOCDによる出力のキャリブレーションを行うことにより，タイミング・マージンを拡大できます．ただし，この設定をきちんと行うには，DRAMの出力をメモリ・コントローラ側でmV単位に検出する必要があります．大規模なシステムでバスの負荷が重く，タイミング・マージンの確保が厳しい場合は，OCDによる調整を行います．それ以外の場合は（検出する際の誤差を考えると）デフォルト設定を使ったほうがよいケースが多いと思います．

● 基板設計上の注意点

DRAMにおける信号の種類ごとの基板配線の注意点を次に示します．

● クロック信号 ── クロック信号はDRAMの動作の基本となる信号なので，この波形が崩れると，システム全体のタイミングに影響します．また，SDR SDRAM，Mobile RAMを除き，クロックはCLK，/CLKの2本の相補信号による差動信号になっています．この2本をきちんとカップリングさせるように，等間隔，等長で配線し，ほかの信号とのカップリングがないようにある程度距離をとって配線します．また，アドレス・コマンド信号はクロック信号でラッチされるため，双方の配線遅延を合わせる必要があ

ります．書き込み時には書き込みデータをラッチするDQS信号と，実際の書き込み動作を開始するクロック信号のDRAMへの到達時間の差が±1/4クロックの範囲（t_{DQSS}）にある必要があります．DQSとクロック信号の配線遅延もある程度合わせる必要があります．

● DQS ―― DQSはDQをラッチする信号です．そのため，グリッチなどがあると誤動作が生じます．不要なクロストーク・ノイズなどを受けないように配慮する必要があります．また，DQラインといっしょに配線し，DQとのスキューが最小になるようにしなければなりません．DDR2 SDRAMで差動DQSを使う場合は，DQSと/DQSのペアに対して，クロックと同等の配慮が必要となります．

● DQ，DM ―― 8本のDQと対応するDM（データ・マスク），DQSの10本を1グループとして配線し，スキューやクロストーク・ノイズなどの影響が同等となるようにする必要があります．配線長が同じでも配線の引き回しが違うと，ノイズなどの影響も異なるので，ピン間のスキューが生じ，タイミング・マージンが減ってしまう可能性があります．

● アドレス・コマンド信号 ―― アドレス・コマンド信号はDQと比べて周波数が半分なので，条件はその分緩やかになります．しかし，データ・バス幅が広かったり大容量が必要なときに，複数のDRAMが並列に接続されるような場合は，反射による信号の劣化や，アドレス・コマンド信号間およびDRAM間のスキューに注意する必要があります．周波数が高い場合は，配線を完全対称なT分岐にするなどして反射を相殺したり，終端を行って反射を軽減しなければなりません．

高速なデータ転送を行うとき，信号端における反射があると信号波形が劣化するので，終端が必要になります．ただし，配線長が十分短ければ反射が早く戻ってきて，実際の動作ポイントの波形に影響を与えないので，終端は不要になります．このあたりは，実際のアプリケーションの条件によって変わってくるので，シミュレーションや実測でしっかり確認をとっておいたほうがよいでしょう．

終端抵抗は，配線のインピーダンスに合わせると反射を最小にすることができますが，そうすると抵抗値が小さくなって消費電力が増えてしまいます．また，信号の振幅が減ってしまい，電圧マージンも少なくなります．実際には，DDR SDRAMやDDR2 SDRAM程度の周波数では，高めの抵抗で終端しても反射のエネルギーをある程度吸収できます．これにより，多少なりとも反射の波形への影響を小さくできるので振幅が大きくなり，電圧マージンが増えることも含めて，効果は十分であることが多いようです．実際，DDR2 SDRAMに内蔵されているODTも基板インピーダンスよりもだいぶ高めになっています．シミュレーションなどでいろいろ試して確認することをお勧めします．

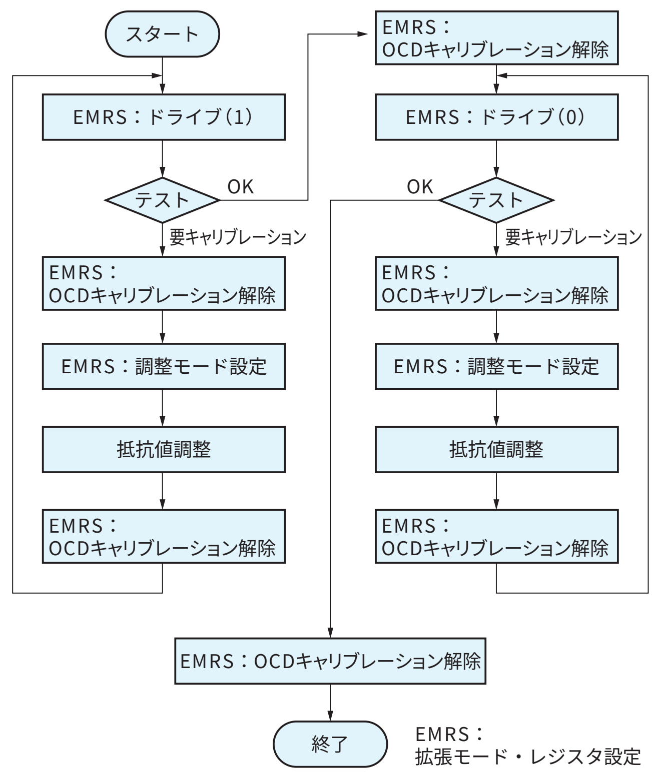


図8　OCDフローチャート

モード・レジスタでOCDドライブ(1)モードに入ると，DQ/DQSにデータ'1'が出力される．そこで，コントローラでDRAMの出力電圧を測定する．この出力電圧測定結果がOKであれば，'1'側のキャリブレーションは終了．このあと同じように'0'側をキャリブレーションする．出力電圧測定結果がNGなら，OCDキャリブレーション・モードに入り，前の測定結果に基づいて出力電圧の1ステップ増減の設定を行う．OCDキャリブレーション・モードを抜け，OCDドライブ(1)モードに戻る．OCDの問題点としては，システム上の電圧測定方法で公差やノイズからの精度確保が必要であること，DRAMの1ステップは温度，電圧，個体で変化するので測定が必須，などが挙げられる

あさくら・よしとも
インフィニオン テクノロジーズ ジャパン（株）　キマンダ事業本部

<筆者プロフィール>
朝倉善智．1980年から大手半導体メーカのDRAM製品開発に従事．そこで生産技術や歩留まり向上，テスト技術，製造戦略などを担当．1995年からは応用技術，標準化，商品企画を担当．2004年より現職にてマーケティングを担当．

1